

Contenido

Presentación	xxiii
PARTE 1 Familias lógicas	1
1 Puertas lógicas TTL	3
1.1 Introducción.....	3
1.2 Estructura de una puerta TTL NAND de dos entradas.....	4
1.3 Cargabilidad de salida de una puerta inversora TTL.....	7
1.3.1 Estimación analítica.....	7
1.3.2 Análisis mediante PSpice	9
1.4 Características de transferencia.....	13
1.4.1 Puerta inversora TTL estándar	13
1.4.2 Puerta inversora (CI 7404)	16
1.4.3 Puerta NAND (CI 7400).....	17
1.5 Entradas flotantes en puertas TTL	19
1.5.1 El riesgo potencial de las entradas flotantes	19
1.5.2 ¿Qué hacer con las entradas no utilizadas?.....	20
1.6 Caracterización temporal	21
1.6.1 Parámetros característicos	21
1.6.2 Oscilador en anillo	25
1.7 Componentes	27
1.8 Verificación experimental	27
1.8.1 Obtención de las tablas de verdad	27
1.8.1.1 Función lógica NOT (inversión).....	28
1.8.1.2 Función lógica NAND.....	28
1.8.1.3 Función lógica NOR.....	29
1.8.2 Cargabilidad de salida	30
1.8.2.1 Estimación de la resistencia de salida de un dispositivo	30
1.8.3 Características de transferencia de un inversor.....	31
1.8.3.1 Característica de transferencia $v_s(v_e)$	31
1.8.3.2 Característica de transferencia $i_e(v_e)$	32
1.8.4 Entradas flotantes en una puerta NAND (CI 74x00).....	33
1.8.5 Caracterización temporal: oscilador en anillo	33
1.9 Ejercicios y cuestiones de refuerzo	34
2 Puertas lógicas CMOS	35
2.1 Introducción.....	35

2.2 Estructura de una puerta CMOS NAND de dos entradas	38
2.3 Cargabilidad de salida de una puerta CMOS NAND	39
2.3.1 Consideraciones preliminares	39
2.3.2 Análisis mediante PSpice	42
2.3.2.1 Caso de estudio 1	44
2.3.2.2 Caso de estudio 2	46
2.3.2.3 Caso de estudio 3	48
2.3.2.4 Cargabilidad del CI 4011B	50
2.4 Características de transferencia	51
2.5 Entradas flotantes en puertas CMOS	57
2.6 Componentes	58
2.7 Verificación experimental	58
2.7.1 Cargabilidad de salida	58
2.7.2 Características de transferencia de un inversor CMOS	59
2.7.2.1 Característica de transferencia $v_s(v_e)$	60
2.7.2.2 Característica de transferencia $i_e(v_e)$	60
2.7.3 Entradas flotantes en una puerta NAND (CI 4011B)	61
2.8 Ejercicios y cuestiones de refuerzo	62
PARTE 2 Lógica combinacional	65
3 Decodificador binario básico de 2 a 4	67
3.1 Introducción	65
3.2 Decodificador binario básico de 2 a 4	71
3.2.1 Decodificación con salidas activas a nivel alto	71
3.2.2 Decodificación con salidas activas a nivel bajo	72
3.3 Simulación	75
3.3.1 Decodificación con salidas activas a nivel alto	75
3.3.2 Decodificación con salidas activas a nivel bajo	76
3.4 Componentes	77
3.5 Verificación experimental	78
3.5.1 Decodificación con salidas activas a nivel alto	78
3.5.2 Decodificación con salidas activas a nivel bajo	79
3.6 Ejercicios y cuestiones de refuerzo	79
4 Síntesis óptima de circuitos combinacionales	81
4.1 Introducción	81
4.2 Síntesis en forma de suma de productos (AND-OR)	83
4.3 Síntesis en forma de producto de sumas (OR-AND)	86
4.4 Síntesis de dos niveles NAND-NAND	89
4.5 Síntesis de dos niveles NOR-NOR	90
4.6 Síntesis multinivel con puertas NAND de dos entradas	90
4.7 Análisis transitorio: fenómenos aleatorios	94
4.7.1 Tipos de fenómenos aleatorios	95
4.7.2 Fenómenos aleatorios de función	96
4.7.3 Eliminación de fenómenos aleatorios	99
4.8 Simulación	100

4.8.1	Análisis en régimen permanente	100
4.8.2	Análisis transitorio.....	101
4.9	Componentes.....	106
4.10	Verificación experimental	106
4.11	Ejercicios y cuestiones de refuerzo	108
5	Codificador binario básico de 4 a 2.....	109
5.1	Introducción.....	109
5.2	Codificador binario básico de 4 a 2 sin prioridad.....	111
5.2.1	Codificación con entradas activas a nivel alto	111
5.2.2	Codificación con entradas activas a nivel bajo	112
5.3	Codificador binario básico de 4 a 2 con prioridad.....	113
5.3.1	Codificación con entradas activas a nivel alto	113
5.3.2	Codificación con entradas activas a nivel bajo	116
5.4	Simulación.....	117
5.4.1	Circuitos codificadores de 4 a 2 sin prioridad	118
5.4.1.1	Codificación con entradas activas a nivel alto.....	118
5.4.1.2	Codificación con entradas activas a nivel bajo.....	118
5.4.2	Circuitos codificadores de 4 a 2 con prioridad	119
5.4.2.1	Codificación con entradas activas a nivel alto.....	119
5.4.2.2	Codificación con entradas activas a nivel bajo.....	120
5.5	Componentes	121
5.6	Verificación experimental	122
5.6.1	Codificación sin prioridad y entradas activas a nivel bajo.....	122
5.6.2	Codificación con prioridad y entradas activas a nivel bajo.....	122
5.7	Ejercicios y cuestiones de refuerzo	123
6	Circuitos comparadores, de paridad y conversores de código	125
6.1	Introducción.....	125
6.2	Circuitos aritméticos comparadores	127
6.3	Circuito generador y circuito detector de paridad	129
6.4	Circuitos conversores de código	131
6.5	Simulación.....	135
6.5.1	Circuito comparador	135
6.5.2	Circuito generador de paridad	136
6.5.3	Circuitos conversores de código.....	137
6.6	Componentes.....	139
6.7	Verificación experimental	139
6.7.1	Circuito comparador	139
6.7.2	Circuito generador de paridad	139
6.7.3	Circuitos conversores de código.....	140
6.8	Ejercicios y cuestiones de refuerzo	140
7	Decodificador binario de 2 a 4 con control de polaridad	143
7.1	Introducción.....	143
7.2	Decodificador binario básico de 2 a 4 con control de polaridad	144
7.2.1	Tres síntesis distintas con puertas NAND de dos entradas.....	145

7.2.2 Síntesis con puertas NAND de cualquier número de entradas	147
7.2.3 Síntesis basada en puertas XOR	150
7.3 Simulación	151
7.4 Componentes	152
7.5 Verificación experimental.....	153
7.6 Ejercicios y cuestiones de refuerzo	153
8 Detección de números primos con multiplexores	155
8.1 Introducción	155
8.2 Diseño de un detector BCD de números primos.....	158
8.2.1 Síntesis mediante puertas lógicas.....	158
8.2.2 Síntesis mediante un multiplexor 16:1.....	159
8.2.3 Síntesis mediante un multiplexor 8:1.....	160
8.2.4 Síntesis alternativa mediante un multiplexor 8:1	161
8.3 Diseño de un detector de números primos de 4 bits.....	163
8.3.1 Síntesis mediante puertas lógicas.....	163
8.3.2 Síntesis mediante un multiplexor 16:1.....	164
8.3.3 Síntesis mediante dos multiplexores 8:1	165
8.3.4 Síntesis alternativa mediante un multiplexor 8:1	166
8.4 Simulación	167
8.4.1 Detectores BCD de números primos con multiplexor.....	167
8.4.1.1 Síntesis mediante un multiplexor 16:1	167
8.4.1.2 Síntesis mediante un multiplexor 8:1	168
8.4.1.3 Síntesis alternativa mediante un multiplexor 8:1	169
8.4.2 Detectores de números primos de 4 bits con multiplexor.....	169
8.4.2.1 Síntesis mediante un multiplexor 16:1.....	169
8.4.2.2 Síntesis mediante dos multiplexores 8:1	170
8.4.2.3 Síntesis alternativa mediante un multiplexor 8:1	171
8.5 Componentes	172
8.6 Verificación experimental.....	172
8.7 Ejercicios y cuestiones de refuerzo	173
9 Sumador completo y sumador binario en paralelo.....	175
9.1 Introducción	175
9.2 Circuito semisumador	176
9.3 Circuito sumador completo	177
9.4 Implementaciones de un sumador completo	179
9.4.1 Síntesis de dos niveles AND-OR mediante PAL	179
9.4.2 Síntesis de dos niveles NAND-NAND	180
9.4.3 Dos síntesis de seis niveles con puertas básicas	182
9.4.4 Síntesis de cuatro niveles con puertas NAND de tres entradas.....	184
9.4.5 Síntesis de dos niveles basada en puertas XOR y NAND	184
9.4.6 Síntesis de tres niveles basada en puertas XOR y NAND	185
9.5 Sumador binario en paralelo con acarreo serie	187
9.6 Simulación	189
9.6.1 Semisumador	189
9.6.2 Sumador completo	190
9.6.3 Sumador binario en paralelo de 4 bits con acarreo en serie	191

9.6.3.1 Propagación del acarreo y retardo asociado.....	191
9.7 Componentes.....	193
9.8 Verificación experimental.....	193
9.8.1 Semisumador.....	193
9.8.2 Sumador completo.....	194
9.8.3 Sumador binario en paralelo de 2 bits con acarreo en serie.....	194
9.9 Ejercicios y cuestiones de refuerzo.....	195
10 Unidad aritmética de 4 bits en complemento a dos	197
10.1 Introducción.....	197
10.2 Diseño de una unidad aritmética de 4 bits en C_2	198
10.2.1 El sumador 74x283.....	198
10.2.2 La puerta XOR como solución para implementar la resta	199
10.2.3 El detector de desbordamiento.....	201
10.2.4 Unidad aritmética completa	202
10.3 Simulación.....	203
10.3.1 Módulo sumador.....	203
10.3.2 Módulo sumador/restador.....	205
10.3.3 Unidad aritmética con detector de desbordamiento.....	206
10.4 Componentes.....	208
10.5 Verificación experimental.....	208
10.5.1 Módulo sumador.....	208
10.5.2 Módulo sumador/restador.....	208
10.5.3 Unidad aritmética con detector de desbordamiento.....	209
10.6 Ejercicios y cuestiones de refuerzo.....	209
PARTE 3 Lógica secuencial síncrona.....	211
11 Generación de señal de reloj con circuitos estables	215
11.1 Introducción.....	215
11.2 Diseño de un multivibrador astable con puertas lógicas	216
11.3 Diseño de un multivibrador astable con el 555.....	218
11.4 Simulación.....	221
11.5 Componentes.....	222
11.6 Verificación experimental.....	223
11.7 Ejercicios y cuestiones de refuerzo.....	224
12 Contador de rizo módulo 8 con biestables T	225
12.1 Introducción.....	225
12.2 Dos implementaciones de un contador de rizo	228
12.2.1 Contador módulo 8 diseñado con biestables J – K	228
12.2.2 Contador módulo 8 diseñado con biestables D	229
12.3 La problemática de los estados espurios	229
12.4 Simulación.....	231
12.4.1 Respuesta del contador diseñado con biestables J – K	231
12.4.1.1 Filtrado de los estados espurios mediante registro.....	233
12.4.2 Respuesta del contador diseñado con biestables D.....	235

12.4.2.1 Filtrado de los estados espurios mediante registro	236
12.5 Componentes	238
12.6 Verificación experimental.....	238
12.7 Ejercicios y cuestiones de refuerzo	239
13 Contador de rizo módulo 8 con el 74x90.....	241
13.1 Introducción	241
13.2 Diseño de un contador módulo 8 con el 74x90	247
13.3 La problemática de los estados espurios.....	250
13.4 Simulación	251
13.4.1 Secuencia de estados del contador módulo 8.....	251
13.4.2 Filtrado de los estados espurios mediante registro	253
13.4.3 Decodificación de estados con el 7448	254
13.5 Componentes	255
13.6 Verificación experimental.....	256
13.7 Ejercicios y cuestiones de refuerzo	256
14 Contador síncrono reversible módulo 4 con biestables J – K	257
14.1 Introducción	257
14.2 Diseño de un contador síncrono reversible módulo 4	261
14.3 Simulación	265
14.3.1 Implementación del diseño con el CI 7473.....	265
14.3.1.1 Entrada de control S constante	266
14.3.1.2 Cambio de nivel lógico de S con señal de reloj en estado bajo.....	267
14.3.1.3 Cambio de nivel lógico de S con señal de reloj en estado alto.....	269
14.3.1.4 Conclusiones	272
14.3.2 Implementación del diseño con el CI 74LS73A.....	273
14.4 Componentes	274
14.5 Verificación experimental.....	275
14.6 Ejercicios y cuestiones de refuerzo	276
15 Contadores síncronos con el 74x163.....	277
15.1 Introducción	277
15.2 Diseño de contadores con el 74x163.....	280
15.2.1 Contador en modo de carrera libre (módulo 16)	280
15.2.2 Contador módulo 13 con la secuencia 0,1,...,12.....	281
15.2.3 Contador módulo 12 con la secuencia 3,4,...,14.....	281
15.2.4 Contador módulo 146 con la secuencia 0,1,...,145.....	282
15.3 Simulación	283
15.3.1 Contador en modo de carrera libre (módulo 16)	283
15.3.2 Contador módulo 13 con la secuencia 0,1,...,12.....	284
15.3.3 Contador módulo 12 con la secuencia 3,4,...,14.....	285
15.3.4 Contador módulo 146 con la secuencia 0,1,...,145.....	286
15.4 Componentes	288
15.5 Verificación experimental.....	289
15.6 Ejercicios y cuestiones de refuerzo	289

16 Segundo digital con contadores modulares	291
16.1 Introducción.....	291
16.2 Tres diseños de un segundo digital con contadores síncronos	292
16.2.1 Combinación de dos 74x163	292
16.2.2 Combinación de un 74x162 y un 74x163	293
16.2.3 Combinación de un 74x162 y un 74x161	294
16.3 Simulación.....	295
16.4 Componentes	300
16.5 Verificación experimental	300
16.5.1 Contador módulo 10 (unidades del segundo)	301
16.5.2 Contador módulo 6 (decenas del segundo)	301
16.5.3 Segundo digital completo	301
16.6 Ejercicios y cuestiones de refuerzo	303
17 Decodificación de los estados de un contador	305
17.1 Introducción.....	305
17.2 Decodificación de contadores modulares.....	306
17.2.1 Decodificación de un contador asíncrono	306
17.2.2 Decodificación de un contador síncrono	307
17.3 Riesgo de interferencias en las líneas decodificadas.....	308
17.3.1 Eliminación del riesgo de interferencias en la decodificación	309
17.3.1.1 Habilitación desfasada del decodificador	309
17.3.1.2 Filtrado mediante registro	310
17.3.1.3 Decodificación directa con un contador en anillo	311
17.4 Simulación.....	311
17.4.1 Decodificación de contadores 74x90 con dispositivos 74x138	312
17.4.2 Decodificación de contadores 74x163 con dispositivos 74x42	316
17.4.3 Eliminación del riesgo de interferencias en la decodificación	319
17.4.3.1 Habilitación desfasada del decodificador	319
17.4.3.2 Filtrado mediante registro	320
17.5 Componentes	321
17.6 Verificación experimental	322
17.7 Ejercicios y cuestiones de refuerzo	322
18 Registro de desplazamiento de 4 bits con biestables D	325
18.1 Introducción.....	325
18.2 Diseño de un registro de desplazamiento de 4 bits.....	326
18.3 Simulación.....	327
18.3.1 Entrada serie y salida en paralelo.....	327
18.3.2 Entrada en paralelo y salida en paralelo.....	328
18.4 Componentes	329
18.5 Verificación experimental	330
18.6 Ejercicios y cuestiones de refuerzo	331
19 Generador de números pseudoaleatorios	333
19.1 Introducción.....	333
19.2 Generador pseudoaleatorio de 3 bits	334

19.3	Generador pseudoaleatorio de 4 bits	336
19.4	Simulación	337
19.4.1	Generador pseudoaleatorio de 3 bits	337
19.4.2	Generador pseudoaleatorio de 4 bits	338
19.5	Componentes	339
19.6	Verificación experimental.....	339
19.6.1	Generador pseudoaleatorio de 3 bits	339
19.6.2	Generador pseudoaleatorio de 4 bits	340
19.7	Ejercicios y cuestiones de refuerzo	340
20	Diseños con el registro de desplazamiento 74x194	341
20.1	Introducción	341
20.2	Diseño secuencial basado en el 74x194.....	344
20.2.1	Carga e inhibición	344
20.2.2	El contador en anillo.....	345
20.2.3	El contador Johnson.....	346
20.2.4	Comunicación serie.....	347
20.3	Simulación	348
20.3.1	Carga e inhibición	348
20.3.2	Contador en anillo	349
20.3.2.1	Comunicación serie	350
20.3.3	Contador Johnson.....	351
20.3.3.1	Comunicación serie	352
20.4	Componentes	353
20.5	Verificación experimental.....	354
20.5.1	Carga e inhibición	354
20.5.2	Contador en anillo y comunicación serie.....	355
20.5.3	Contador Johnson y comunicación serie.....	355
20.6	Ejercicios y cuestiones de refuerzo	356
21	Autómatas de estados finitos de Mealy y de Moore	357
21.1	Introducción	357
21.2	Diseño secuencial según los modelos de Mealy y de Moore.....	360
21.2.1	Especificaciones	360
21.2.2	Diseño según el modelo de Mealy	360
21.2.3	Diseño según el modelo de Moore.....	363
21.3	Simulación	366
21.3.1	Autómata de estados finitos de Mealy.....	366
21.3.2	Autómata de estados finitos de Moore	368
21.4	Componentes	370
21.5	Verificación experimental.....	370
21.6	Ejercicios y cuestiones de refuerzo	371
PARTE 4	Lógica secuencial asíncrona.....	373
22	Biestables asíncronos.....	377
22.1	Introducción	377

22.2	Tres tipos de biestables asíncronos	379
22.2.1	Biestable asíncrono sin entradas	379
22.2.2	Biestable asíncrono S – R	380
22.2.3	Biestable asíncrono \bar{S} – \bar{R}	381
22.3	Simulación	383
22.3.1	Biestable asíncrono S – R	383
22.3.1.1	Respuesta ante secuencias de entrada permitidas	384
22.3.1.2	Respuesta ante secuencias de entrada no permitidas	386
22.3.1.3	Determinación de la anchura de pulso mínima	388
22.3.2	Biestable asíncrono \bar{S} – \bar{R}	390
22.3.2.1	Respuesta ante secuencias de entrada permitidas	390
22.4	Componentes	392
22.5	Verificación experimental	393
22.5.1	Biestable asíncrono sin entradas	393
22.5.2	Biestable asíncrono S – R	393
22.5.3	Biestable asíncrono \bar{S} – \bar{R}	394
22.6	Ejercicios y cuestiones de refuerzo	394
23	Circuitos antirrebotes con biestables asíncronos	397
23.1	Introducción	397
23.2	La problemática de los rebotes en el diseño digital	399
23.3	El biestable asíncrono como circuito antirrebotes	405
23.3.1	Circuito antirrebotes NOR	406
23.3.2	Circuito antirrebotes NAND	407
23.3.3	Circuito antirrebotes NOT	408
23.3.4	Detección del acceso a un aparcamiento	409
23.4	Simulación	412
23.4.1	Funcionamiento del circuito antirrebotes NAND	412
23.4.2	Funcionamiento del circuito antirrebotes NOT	415
23.5	Componentes	419
23.6	Verificación experimental	419
23.6.1	Circuito antirrebotes NAND	419
23.6.2	Circuito antirrebotes NOT	420
23.7	Ejercicios y cuestiones de refuerzo	421
24	Cerradura digital de combinación	423
24.1	Introducción	423
24.2	Diseño de un detector de secuencia de modo pulso	426
24.2.1	Especificaciones	426
24.2.2	Diseño según el modelo de Mealy	427
24.3	Simulación	433
24.4	Componentes	434
24.5	Verificación experimental	435
24.5.1	Funcionamiento en ausencia de circuitos antirrebotes	435
24.5.2	Empleo de un biestable básico como circuito antirrebotes	436
24.5.3	Empleo de un biestable \bar{S} – \bar{R} como circuito antirrebotes	437
24.6	Ejercicios y cuestiones de refuerzo	437

25 Divisor de frecuencia asíncrono	441
25.1 Introducción	441
25.2 Diseño de un divisor de frecuencia por dos asíncrono	442
25.2.1 Especificaciones	442
25.2.2 Diseño según el modelo de Moore.....	442
25.3 Simulación	450
25.3.1 Diseño con biestables asíncronos S – R.....	450
25.3.2 Diseño basado en realimentación directa (caso 1)	451
25.3.3 Diseño basado en realimentación directa (caso 2)	452
25.4 Componentes	453
25.5 Verificación experimental.....	453
25.5.1 Diseño con biestables asíncronos S – R.....	454
25.5.2 Diseño basado en realimentación directa (caso 1)	454
25.5.3 Diseño basado en realimentación directa (caso 2)	454
25.6 Ejercicios y cuestiones de refuerzo	454
 PARTE 5 Aplicaciones y plataformas de desarrollo.....	 455
 26 Aplicaciones de la decodificación	 459
26.1 Generación de minitérminos	459
26.2 Decodificación de líneas de dirección.....	461
26.2.1 Los circuitos de memoria y su capacidad de almacenamiento	462
26.2.2 Decodificación de direcciones de memoria en un computador	465
26.3 Decodificación de BCD a código de siete segmentos.....	466
26.4 Decodificación de los estados de un contador.....	468
 27 Aplicaciones de la codificación	 471
27.1 Gestión priorizada de interrupciones en un procesador.....	471
27.2 Codificación de un teclado numérico	474
27.3 Conversión analógico-digital: el convertidor flash.....	476
27.4 Codificación de vídeo digital en formato analógico.....	478
 28 Detección de errores con circuitos de paridad	 481
28.1 Los errores de transmisión y su detección.....	481
28.2 Transmisión en paralelo con bits de paridad	482
28.3 Transmisión en serie con bits de paridad	487
28.3.1 Comprobación de redundancia vertical.....	488
28.3.2 Comprobación de redundancia horizontal.....	489
28.3.3 Comprobación de redundancia bidimensional	490
28.4 Otras técnicas de detección de errores	490
 29 Aplicaciones aritméticas de comparadores y sumadores	 493
29.1 Selector aritmético con señal de control externa	493
29.2 El sumador completo en los circuitos multiplicadores.....	496
29.2.1 El multiplicador matricial.....	496
29.2.2 El multiplicador con acarreo reservado	498

29.2.3 Otros circuitos multiplicadores	499
29.3 La ALU como generalización del sumador modular	501
29.3.1 Tres circuitos ALU y sus prestaciones	501
29.3.2 La ALU en los computadores.....	503
30 Aplicaciones de los contadores	507
30.1 Contador de pulsos en sistemas automatizados	507
30.2 Divisor de frecuencia	508
30.3 Reloj digital.....	509
30.4 El temporizador digital.....	510
30.5 Sintetizador digital de formas de onda	512
30.6 Medidor de frecuencia	514
30.7 El registro-contador en los computadores.....	516
30.7.1 El computador y su estructura interna	517
30.7.2 El contador de programa	518
30.7.3 El puntero de pila.....	520
30.7.4 El registro-contador de microprograma	521
30.7.5 El registro de cuenta de datos en los controladores DMA	523
30.7.6 El registro-contador CX de la arquitectura x86	525
31 Aplicaciones de los registros de desplazamiento	527
31.1 Lógica de interfaz en la transmisión de datos digitales	528
31.1.1 El papel del registro de desplazamiento en la codificación de voz	529
31.1.2 Tráfico de voz y datos en el bucle de abonado analógico	532
31.1.3 Revolución en el bucle de abonado: llega la fibra óptica	538
31.1.4 Transmisión serie síncrona.....	539
31.1.5 Transmisión serie asíncrona.....	541
31.2 Desplazamientos y rotaciones de bits	542
31.2.1 El desplazador combinacional básico.....	543
31.2.2 Desplazadores circulares	545
31.2.3 Instrucciones de desplazamiento en ensamblador	549
31.3 Establecimiento de un retardo en secuencias de bits	551
31.4 Generación de secuencias pseudoaleatorias	552
31.4.1 Detección de defectos en circuitos lógicos	553
31.4.2 Fuentes de ruido blanco	554
32 Aplicaciones del multiplexado	555
32.1 Generación de funciones lógicas	556
32.2 Multiplexado de entradas analógicas en microcontroladores	557
32.3 Barrido multiplexado de visualizadores dinámicos	558
32.3.1 Barrido multiplexado con dispositivos lógicos de función fija.....	558
32.3.2 Barrido multiplexado implementado en un microcontrolador	563
32.3.3 Barrido multiplexado con circuitos digitales configurables.....	564
32.4 El multiplexado en la Red Telefónica Conmutada.....	566
32.4.1 Sistema de transmisión PCM-TDM de dos canales.....	566
32.4.2 Sistema de portadora digital T-1.....	569
32.4.3 Jerarquía multinivel en la RTC.....	571

32.4.4 Multiplexado y demultiplexado en redes ópticas de acceso	574
33 Plataformas para el desarrollo de aplicaciones	581
33.1 Circuitos digitales configurables y microcontroladores	582
33.1.1 Estrategias para implementar un circuito digital	582
33.1.2 Estructura y configuración de circuitos CPLD y FPGA	585
33.1.2.1 Arquitecturas multinivel en la lógica configurable	585
33.1.2.2 Lenguajes HDL para simulación y síntesis de circuitos	587
33.1.3 Estructura y programación de un microcontrolador	589
33.1.3.1 El microcontrolador y sus recursos internos	589
33.1.3.2 Organización del acceso a la memoria	590
33.1.3.3 El repertorio de instrucciones: arquitecturas CISC y RISC	592
33.1.3.4 Del código fuente al código máquina	593
33.1.3.5 El microcontrolador en los sistemas empotrados	594
33.1.4 Microcontroladores y circuitos FPGA: similitudes y diferencias	595
33.2 Circuitos configurables FPGA de Xilinx y Altera	597
33.3 Microcontroladores PIC de Microchip	600
33.4 Microcontroladores AVR y ARM de Atmel	611
33.5 Microcontroladores MSP430 de Texas Instruments	617
33.6 Microcontroladores STM32 de STMicroelectronics	619
33.7 Perspectivas de futuro para los microcontroladores	624
Apéndices	625
A El laboratorio docente	627
A.1 Introducción	627
A.2 La placa de prototipos	627
A.3 La fuente de alimentación	629
A.3.1 Prestaciones y manejo	630
A.3.2 Cableado de la fuente con una carga genérica	631
A.3.3 Alimentación sobre la placa de prototipos	632
A.3.4 Desacoplo de la fuente de alimentación	634
A.4 El polímetro	638
A.5 El osciloscopio	639
A.5.1 El osciloscopio HM303-6 de HAMEG Instruments	639
A.5.2 Sondas de medida para osciloscopio	642
A.6 Notas sobre los montajes experimentales	643
A.6.1 Instrumentación y su uso	643
A.6.2 Consejos prácticos	644
A.6.3 Componentes auxiliares	644
A.6.4 Errores comunes	644
B Riesgos eléctricos	645
B.1 Introducción	645
B.2 La conexión a tierra	645
B.3 Severidad de una electrocución	650

C	Identificación de pines en circuitos integrados	653
C.1	Numeración de pines en un CI	653
C.2	Identificación de pines en puertas lógicas	654
C.3	Identificación de pines en otros dispositivos integrados	655
D	Identificación de terminales en componentes optoelectrónicos.....	659
D.1	Terminales de un led	659
D.2	Terminales de un visualizador de siete segmentos	659
E	Identificación de terminales en componentes eléctricos	661
E.1	Terminales de un potenciómetro rotatorio	661
E.2	Terminales de un condensador electrolítico	662
E.3	Terminales de un interruptor SPDT de palanca basculante.....	663
F	Valores estándar de resistencias y condensadores	665
F.1	Código de colores para resistencias	665
F.2	Valores estándar de resistencias	666
F.3	Valores estándar de condensadores.....	667
G	Notas de simulación.....	669
G.1	Introducción	669
G.2	Guía rápida de PSpice	670
G.2.1	Creación de un proyecto	670
G.2.2	Dibujo de un circuito en la ventana de esquemáticos	673
G.2.3	Perfil de simulación y ejecución	678
G.3	El editor de modelos de PSpice.....	682
G.4	Conexión de un bus a un circuito	684
G.5	Vinculación de un estímulo a un bus	684
G.6	Inicialización de biestables	687
G.7	Ubicación de componentes en bibliotecas	688
G.7.1	Listado de todos los componentes utilizados.....	689
G.7.1.1	Fuentes de tensión y estímulos digitales.....	689
G.7.1.2	Semiconductores discretos	690
G.7.1.3	Dispositivos integrados con modelo de simulación	690
G.7.1.4	Dispositivos integrados sin modelo de simulación	691
G.7.1.5	Otros componentes	691
H	Notas sobre el álgebra de conmutación.....	693
H.1	Introducción	693
H.2	Postulados y teoremas del álgebra de conmutación	693
H.3	Funciones lógicas XOR y XNOR	695
I	Bibliografía.....	697
I.1	Monografías	697
I.2	Artículos de investigación.....	704
I.3	Hojas de características técnicas.....	704

I.4 Manuales técnicos, guías de usuario y notas de aplicación	709
I.5 Enlaces web de interés.....	710
J Acrónimos	711
K Material suplementario.....	717
Índice	721

PLATAFORMA DE CONTENIDOS INTERACTIVOS

Para descargar contenido adicional de *Circuitos lógicos digitales. Del diseño al experimento*, 3ª edición, siga los siguientes pasos:

1. Ir a la página:

https://libroweb.alfaomega.com.mx/book/circuitos_logicos_digitales_3aed

2. En la sección *Materiales de apoyo* podrá gratis descargar, el contenido adicional complemento imprescindible de este libro, el cual podrá descomprimir con la clave:

CIRCUITOS23